

**MINISTÉRIO DA CIÊNCIA E TECNOLOGIA (MCT)
CENTRO DE TECNOLOGIA DA INFORMAÇÃO
RENATO ARCHER (CTI)**

CONCURSO PÚBLICO

NÍVEL SUPERIOR

**CADERNO DE PROVAS – PARTE II
CONHECIMENTOS ESPECÍFICOS**

Cargo

1

Tecnologista Sênior – Padrão I
Área de Atuação:

Projeto de Circuitos Integrados

Aplicação: 16/11/2008

ATENÇÃO!

- » Leia atentamente as instruções constantes na capa da Parte I do seu caderno de provas.
- » Nesta parte do seu caderno de provas, que contém os itens relativos à prova objetiva de **Conhecimentos Específicos**, confira inicialmente os seus dados pessoais transcritos acima e o seu nome no rodapé de cada página numerada deste caderno. Em seguida, verifique o número e o nome de seu cargo e de sua área de atuação transcritos acima e no rodapé de cada página numerada desta parte do caderno de provas.

AGENDA (datas prováveis)

- I **18/11/2008**, após as 19 h (horário de Brasília) – Gabaritos oficiais preliminares das provas objetivas: Internet — www.cespe.unb.br.
- II **19 e 20/11/2008** – Recursos (provas objetivas): exclusivamente no Sistema Eletrônico de Interposição de Recurso, Internet, mediante instruções e formulários que estarão disponíveis nesse sistema.
- III **9/12/2008** – Resultado final das provas objetivas e resultado provisório da prova discursiva: Diário Oficial da União (DOU) e Internet.
- IV **10 e 11/12/2008** – Recursos (prova discursiva): exclusivamente no Sistema Eletrônico de Interposição de Recurso, Internet, mediante instruções e formulários que estarão disponíveis nesse sistema.
- V **30/12/2008** – Resultado final da prova discursiva e convocação para prova oral, defesa pública de memorial e avaliação de títulos e currículo: DOU e Internet.
- VI **17/1/2009** – Realização da prova oral e da defesa pública de memorial, em locais e horários a serem divulgados na respectiva convocação.

OBSERVAÇÕES

- Não serão objeto de conhecimento recursos em desacordo com o item 12 do Edital n.º 2 - CTI, de 18/8/2008.
- Informações adicionais: telefone 0(XX) 61 3448-0100; Internet – www.cespe.unb.br.
- É permitida a reprodução deste material apenas para fins didáticos, desde que citada a fonte.

De acordo com o comando a que cada um dos itens de **51 a 120** se refira, marque, na **folha de respostas**, para cada item: o campo designado com o código **C**, caso julgue o item **CERTO**; ou o campo designado com o código **E**, caso julgue o item **ERRADO**. A ausência de marcação ou a marcação de ambos os campos não serão apenadas, ou seja, não receberão pontuação negativa. Para as devidas marcações, use a **folha de respostas**, único documento válido para a correção das suas provas.

CONHECIMENTOS ESPECÍFICOS

Um filtro seletivo de frequência pode ser representado por um sistema que seletivamente permite a passagem de determinadas componentes de frequência de um sinal. Nesse sentido, e considerando os filtros seletivos de frequências digitais e analógicos, julgue os itens seguintes.

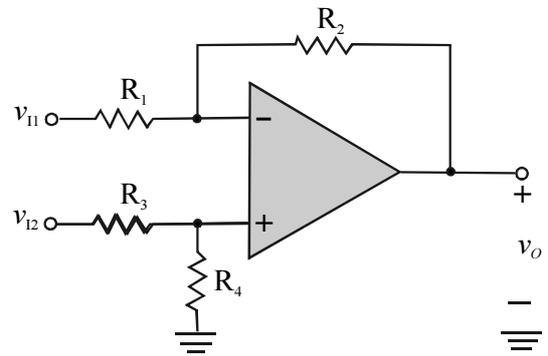
- 51** A conversão de filtros analógicos em filtros digitais passa necessariamente pelos processos de amostragem, quantização e codificação.
- 52** O método da janela é utilizado no projeto de filtros digitais do tipo IIR (*infinite impulse response*).
- 53** Os filtros passivos analógicos que utilizam indutores são largamente produzidos em escala industrial na forma monolítica.
- 54** A estabilidade de um filtro analógico é garantida quando os pólos da função de transferência do filtro localizam-se no lado direito do plano complexo.
- 55** Mediante o emprego do método da transformação bilinear, os filtros analógicos do tipo Butterworth, Chebyshev e elíptico podem ser aproximados no domínio do tempo discreto por filtros do tipo FIR (*finite impulse response*).

Os resultados da simulação de dispositivos eletrônicos são diretamente dependentes da qualidade dos modelos aplicados para representar esses dispositivos. Quanto maior for o nível de detalhamento empregado na modelagem, mais exatos serão os resultados numéricos, quando comparados a um circuito real.

$$i_D = I_s (e^{v_D/nV_T} - 1) \quad \text{e} \quad C_D = C_d + C_j$$

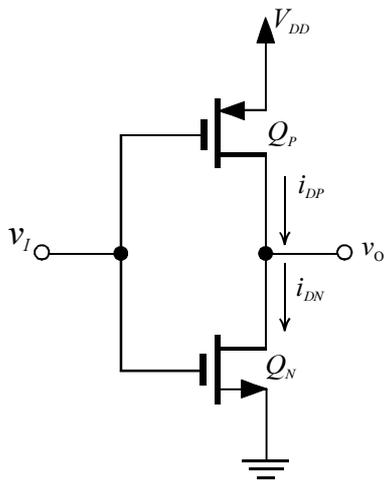
Considerando as duas equações acima e o modelo no SPICE (*simulation program with integrated circuit emphasis*) para o diodo de junção, julgue os itens subseqüentes.

- 56** As duas equações acima são aplicadas para representar o modelo no SPICE do diodo para pequenos sinais.
- 57** Na análise do modelo de pequenos sinais do diodo, são considerados no SPICE os valores incrementais da capacitância de difusão, C_d e da capacitância de junção, C_j .
- 58** O parâmetro n , mostrado na equação da corrente do diodo, é dependente do processo de fabricação, sendo $n = 2$ aplicado ao caso de processos de fabricação de diodos para circuitos integrados.
- 59** Os valores dos parâmetros que são utilizados no modelo do SPICE podem ser extraídos de medidas específicas executadas em dispositivos reais.
- 60** Considerando os diodos discretos, os valores dos parâmetros do modelo no SPICE, em geral, são extraídos de catálogos de especificação técnicas dos fabricantes.
- 61** Um diodo ideal pode ser aproximado no SPICE adotando-se o parâmetro n com valor próximo de zero.



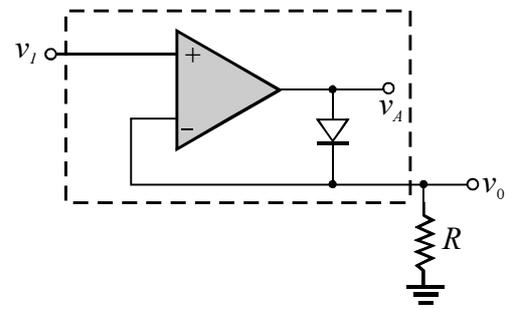
A combinação das configurações do amplificador inversor com o amplificador não-inversor, por meio de amplificador operacional (Amp Op), gera o circuito denominado amplificador de diferenças. Considerando o amplificador de diferenças apresentado na figura acima, julgue os itens que se seguem.

- 62** Assumindo que $v_d = 0,01\text{ V}$ e $A_d = 100$ são, respectivamente, a tensão e o ganho diferenciais do Amp Op, e que $v_{cm} = 1\text{ V}$ e $A_m = 0,02$ representam, respectivamente, a tensão e o ganho em modo comum do Amp Op, a saída v_o do circuito da figura terá o valor de $0,998\text{ V}$.
- 63** A eficiência do amplificador de diferenças pode ser aferida por meio do parâmetro CMRR (razão de rejeição de modo comum), sendo igual a -40 dB para o caso de ganho comum $|A_{cm}| = 0,02$ e ganho diferencial $|A_d| = 200$.
- 64** Individualmente, o Amp Op é considerado um amplificador de diferenças. Contudo, a saturação na saída do Amp Op o impede de operar sozinho como um amplificador de diferenças em circuitos práticos.
- 65** Para o amplificador mostrado na figura, considerando que $R_3 = R_1 = 4\ \Omega$ e $R_4 = R_2 = 100\ \Omega$, então o valor da resistência diferencial de entrada é igual a $400\ \Omega$.
- 66** O amplificador de diferenças pode ser considerado um amplificador instrumental, apresentando excelente compromisso entre os valores de ganho diferencial e de resistência diferencial de entrada.



Acerca de circuitos inversores lógicos e do circuito inversor ilustrado na figura acima, que utiliza um par de chaves complementares, em que a chave levantadora (*pull-up*) conecta o nó de saída a V_{DD} e a chave abaixadora (*pull-down*) conecta o nó de saída ao terra, julgue os itens seguintes.

- 67** Considerando o circuito da figura com a entrada no estado lógico alto, o transistor Q_p pode ser representado por um circuito aberto e o transistor Q_n , por uma resistência equivalente.
- 68** A tecnologia CMOS é dominante no processo de integração dos atuais circuitos digitais, sendo o circuito da figura um inversor CMOS básico com dois transistores, do tipo MOSFET.
- 69** Uma limitação do inversor CMOS básico é a presença constante de uma tensão residual na saída.
- 70** Independentemente da tecnologia de fabricação empregada em circuitos integrados digitais, o elemento básico em projeto de circuitos integrados digitais é o inversor lógico.
- 71** Desprezando-se a dissipação associada à corrente de fuga, a dissipação de potência estática do inversor de chaves complementares CMOS é zero.
- 72** Em circuitos integrados, o atraso na propagação dos inversores lógicos deve-se às indutâncias mútuas que inevitavelmente surgem nas interligações metálicas.



O diodo pode ser identificado como o elemento não-linear fundamental em circuitos eletrônicos, sendo que a sua aplicação em circuitos retificadores é ampla. Considerando o circuito esquematizado na figura acima e o comportamento esperado dos retificadores de precisão ideal, julgue os itens subseqüentes.

- 73** O retificador de precisão no circuito pode ser considerado um diodo ideal em determinadas aplicações.
- 74** Considerando o diodo com uma queda de tensão de 0,7 V, o resistor R com valor de 1 Ω e o Amp Op ideal saturando em ± 15 V, é esperada, para uma entrada de tensão de -1 V, uma tensão na saída do Amp Op de -14,3 V e, na saída do retificador, de 0 V.
- 75** Invertendo-se as polaridades do diodo no circuito do retificador ilustrado na figura em apreço, o circuito passa a operar como um circuito limitador.
- 76** Utilizando-se um par de retificadores de precisão, é possível conceber um retificador de onda completa.

Os circuitos integrados em uso nos equipamentos eletrônicos podem ser classificados em dois grupos, os pré-configurados e os reconfiguráveis. Os primeiros possuem suas funcionalidades definidas durante o processo de fabricação, e os segundos possuem a característica de possibilitar que o desenvolvedor implemente funcionalidades nos dispositivos. Com relação a esses dispositivos eletrônicos, julgue os itens a seguir.

- 77** Um caso típico de circuitos integrados reconfiguráveis são os denominados PLDs (dispositivos de lógica programável). Sua utilização possibilita aos projetistas uma solução na qual um considerável número de circuitos integrados pré-configurados pode ser substituído por um único circuito integrado reconfigurável.
- 78** Diferentemente dos microcontroladores típicos, a arquitetura dos circuitos reconfiguráveis FPGA promove a execução de elementos lógicos em paralelo.
- 79** Os projetos de circuitos digitais com FPGAs são normalmente mais complexos que os com CPLDs.
- 80** Os FPGAs não são adequados para aplicações que exijam alto desempenho computacional, como a concepção de codificadores de imagens digitais.

Um conversor analógico/digital (A/D) corresponde a um dispositivo físico que converte uma amplitude de tensão ou corrente de entrada em uma representação de saída quantizada em números binários. Julgue os itens seguintes, relacionados aos conversores A/D.

- 81** A quantização é um processo aleatório cuja finalidade é reduzir as amostras selecionadas no processo de conversão A/D para um número finito de valores preestabelecidos.
- 82** Conversores de aproximação sucessiva possuem um tempo de conversão fixo maior que o do conversor A/D de rampa digital, independentemente do sinal de entrada.
- 83** Conversores comerciais de 8 bits podem apresentar resolução na ordem de 19,6 mV, com faixa analógica da tensão de entrada compreendida entre 0 e 5 V.
- 84** Como o conversor *flash* não utiliza sinal de *clock*, a temporização no processo de conversão A/D não existe.
- 85** Comparada a outras configurações típicas, uma das principais limitações do conversor flash é sua elevada quantidade de componentes de circuitos necessária para a sua construção.

Ao final dos anos 70 do século passado, conceitos oriundos originalmente da área de controle, tais como controlabilidade e observabilidade, passaram a ser empregados no contexto de sistemas digitais, na tentativa de estudar de forma sistemática a testabilidade de complexos sistemas integrados. Em particular, as definições oriundas do projeto SCOAP (Sandia Controllability/Observability Analysis Program) são freqüentemente utilizadas. Acerca desse assunto, julgue os itens seguintes.

- 86** A medida de controlabilidade combinacional de um nó reflete a dificuldade em se colocar esse nó em um nível lógico determinado. Essa medida tem um valor baixo na entrada de um sistema digital, e seu valor tende a ser maior nos nós intermediários e nas saídas.
- 87** A medida de observabilidade combinacional de um nó reflete a dificuldade de propagar o valor lógico do nó até uma das saídas do sistema. Essa medida tem um valor baixo nas saídas de um sistema digital, e seu valor tende a aumentar para os nós internos e as entradas.
- 88** Em um circuito digital com uma porta AND e uma porta OR, ambas recebendo as mesmas entradas, à saída da porta AND, deverá ser atribuído um valor menor de 1-controlabilidade (ou controlabilidade para o nível 1) do que a saída da porta OR.

Para procurar garantir a testabilidade de sistemas integrados, neles são incluídas estruturas com o propósito específico de facilitar a controlabilidade e observabilidade dos nós internos. Com relação a essas estruturas, julgue os itens a seguir.

- 89** Em uma técnica *ad hoc* para aumentar a testabilidade combinacional dos nós, incluem-se pontos de observação (ou pontos de teste), conectando nós internos do circuito diretamente à saída. Uma das técnicas para diminuir o número total de pontos de observação consiste em combinar múltiplos nós internos com uma rede de portas XOR.
- 90** A técnica de cadeias de *scan* consiste em conectar os elementos de armazenamento, formando um registrador de deslocamento controlável por sinais adicionais de teste.
- 91** Na célula de *scan* mais usada, seleciona-se, por meio de um multiplexador, se a entrada do elemento de armazenamento vem da operação normal do circuito ou de uma entrada de teste. Essa configuração tem a vantagem de não alterar a operação normal de circuito, nem introduzir atrasos adicionais.
- 92** Em alguns casos, as células de *scan* não são ligadas em cadeia; suas entradas de teste podem ser independentemente acessadas. A maior vantagem, nesse caso, é a diminuição do *overhead* de interconexão para o teste.

O fluxo de projeto de um sistema integrado envolve diferentes etapas. Diferentes classes de projeto (analógico ou digital, *full-custom* ou *standard cell*) exigem um conjunto diferente de etapas. A respeito das etapas de projeto e de verificação, julgue os itens seguintes.

- 93** As regras de projeto, checadas na DRC (*design rule check*), são definidas pela equipe de projetistas quando conhecidas as especificações detalhadas do sistema a ser projetado. Elas estabelecem a nomenclatura dos sinais nos diversos módulos, seu caráter ativo-alto ou ativo-baixo e os máximos atrasos aceitáveis para a saída.
- 94** Quando um sistema de modo misto é implementado usando-se tecnologia originalmente prevista para circuitos digitais, ou quando se procura fabricar fotodetecores aproveitando características dessa tecnologia, a otimização de certas estruturas pode requerer a violação intencional de regras de projeto. Nesses casos, o fabricante deve ser informado.
- 95** Um conjunto de máscaras que não viola nenhuma limitação geométrica de fabricação ainda pode estar errado, no sentido de não efetivamente implementar a funcionalidade que se imaginava. Nesse caso, o LVS (*layout versus schematic*) não poderá acusar o erro, mas talvez o DRC possa.
- 96** Denomina-se especificação funcional ao nível mais detalhado de especificação do sistema, no qual todos os parâmetros lógicos e elétricos devem ser estabelecidos com margens estritas.
- 97** O projeto de um sistema integrado geralmente começa em um nível de maior abstração e evolui no sentido do detalhamento lógico e elétrico. Variáveis físicas de desempenho (especialmente atrasos) podem apenas ser estimadas, nas formulações mais abstratas, a partir de conhecimentos gerais de topologia dos subsistemas e da tecnologia de fabricação. Quando uma descrição mais detalhada torna-se disponível, essas variáveis podem ser estimadas com maior precisão. Denomina-se *back annotation* à prática de refazer verificações e simulações realizadas nos primeiros estágios de projeto, desta feita com estimativas mais precisas das variáveis elétricas, para verificar se as especificações continuam sendo atendidas.

Com relação às ferramentas CAD e ao projeto de circuitos integrados, julgue os itens a seguir.

- 98** Ferramentas de síntese são capazes de traduzir representações esquemáticas de circuitos em leiaute para a produção de circuitos integrados.
- 99** Geralmente, ferramentas de simulação no nível de circuito são utilizadas para simular o circuito integrado completo.
- 100** Simuladores lógicos possuem a habilidade de simular projetos de circuitos maiores e com maior detalhamento dos resultados que os simuladores no nível de circuito.
- 101** Em simulações funcionais, elementos de circuito são modelados como blocos funcionais que correspondem aos blocos funcionais da arquitetura do *hardware*. Em simulações comportamentais, esses blocos também estão diretamente relacionados às unidades de *hardware*.
- 102** Ferramentas de edição de leiaute existem, primordialmente, para gerar as especificações finais de fabricação do circuito integrado. Cada componente nesse ambiente de edição possui dimensões precisas, mas sua localização no projeto pode ser alterada sem prejuízo durante o processo de fabricação.
- 103** Algumas ferramentas de otimização são baseadas em conceitos geométricos.

A respeito do projeto, da otimização e da análise do pior caso de circuitos integrados, julgue os itens subseqüentes.

- 104** A análise de pior caso se refere ao processo de analisar os valores dos parâmetros de ruído em suas piores condições possíveis.
- 105** Uma análise detalhada do pior caso, feita durante a etapa de projeto do circuito integrado, pode encontrar problemas que não seriam encontrados durante a etapa de teste.
- 106** Caso a função lógica f possua um termo implicante primo essencial a , nesse caso, a poderá não estar presente na forma mínima de f .
- 107** A função lógica $f(x,y) = x + y^*/x$, em que $+$, $/$ e $*$ representam, respectivamente, as funções lógicas OU, NÃO e E, está em sua forma mínima e não pode ser otimizada.
- 108** A tabela de implicação é uma técnica utilizada para otimizar uma máquina de estados finita.
- 109** Uma máquina de estados finita pode ser otimizada utilizando-se o algoritmo de minimização de Hopcroft.

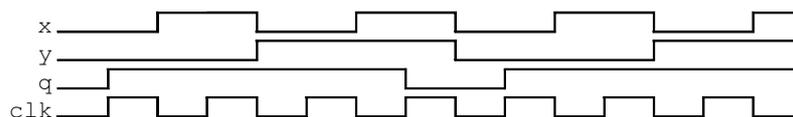
Acerca de linguagens de descrição de *hardware*, julgue os itens seguintes.

- 110** Um dos motivos que fazem com que a linguagem de programação C seja adequada para a modelagem de *hardware* é o fato de essa linguagem incluir primitivas que descrevem paralelismo no nível de processos, essencial para descrições de *hardware*.
- 111** VHDL é uma das linguagens de descrição de *hardware* mais utilizadas na atualidade. Uma das características interessantes de VHDL é o suporte a múltiplas configurações de circuitos, de forma que, para uma dada entidade, é possível especificar diversas arquiteturas alternativas, e selecionar uma delas para compilação por meio do comando CONFIGURATION.
- 112** A principal diferença entre variáveis e sinais em VHDL é que, em uma atribuição, uma variável assume imediatamente o valor atribuído, enquanto que um sinal só assume o valor atribuído depois de um atraso, que pode ser um ciclo delta ou um atraso especificado pelo usuário.
- 113** SystemC é uma linguagem de descrição de *hardware* baseada na linguagem C que se notabilizou pelos recursos para modelagem em nível de sistema.

Com relação à linguagem VHDL, julgue os próximos itens.

- 114** O trecho abaixo (omitindo-se a declaração da entidade) apresenta uma descrição correta da arquitetura de um multiplexador, que coloca em sua saída *sai* o sinal *input* ou o sinal *others* com o valor 'Z', dependendo do valor do sinal de seleção *sel*.
- ```
architecture arch of a is
begin
sai <= input when (sel = '0') else (others => 'Z');
end arch;
```
- 115** Em VHDL, o tipo de dados *std\_logic* pode assumir 9 valores lógicos diferentes, sendo que 4 dos mais utilizados são:
- ```
'X' - don't care
'1' - '1' forte
'0' - '0' forte
'Z' - alta impedância
```
- 116** Um *delta cycle* em VHDL é um ciclo infinitesimal utilizado para auxiliar na simulação, quando atribuições não especificam um atraso, ou seja, o tempo de simulação não avança. Nesse contexto, o trecho de código abaixo pode levar até 3 *delta cycles* para atualizar as saídas.
- ```
entity full_adder is
port (x, y, vem: in bit;
s, vai: out bit);
end full_adder;
architecture dataflow of full_adder is
signal a, b, c : bit;
begin
s <= x xor y xor vem;
a <= x and y;
b <= x and vem;
c <= y and vem;
d <= a or b;
vai <= c or d;
end arch;
```

117 As formas de onda abaixo são uma simulação funcional válida da entidade “teste”, definida pelo código VHDL que se segue.



```
entity teste is
port (q: out bit; x, y, clk: in bit;);
end teste;

architecture a of teste is
signal tmp : bit;
begin

tmp <= x nand y;
process (clk) begin
if (clk'event and clk='1') then q<=tmp;
end if;
end process;
end a;
```

118 O código abaixo descreve corretamente o funcionamento de um contador de 6 bits com reset síncrono no padrão VHDL93.

```
entity contador is
port (clk, reset : in bit;
data : out integer range 0 to 63);
end entity contador;
architecture rtl of contador is
begin

conta : process (clk) is
begin
if rising_edge(clk) then
if reset = '1' then
data <= 0;
else
data <= data + 1;
end if;
end if;
end process conta;
end architecture rtl;
```

119 VHDL permite a criação de subprogramas por meio dos comandos FUNCTION e PROCEDURE. Com relação a esses comandos, as três afirmações abaixo são verdadeiras:

- ▶ ambos descrevem trechos de código seqüencial em VHDL;
- ▶ FUNCTION retorna um único valor e não admite a passagem de VARIABLES como parâmetro;
- ▶ PROCEDURE pode receber parâmetros dos tipos IN, OUT ou INOUT, que podem ser tanto SIGNALS, VARIABLES ou CONSTANTS.

120 VHDL não admite a sobrecarga (OVERLOAD) de operadores.

## PROVA DISCURSIVA

- Nesta prova, que vale **trinta** pontos, faça o que se pede, usando o espaço para rascunho indicado no presente caderno. Em seguida, transcreva o texto para a **FOLHA DE TEXTO DEFINITIVO DA PROVA DISCURSIVA**, no local apropriado, pois **não será avaliado fragmento de texto escrito em local indevido**.
- Qualquer fragmento de texto além da extensão máxima de **trinta** linhas será desconsiderado.
- Na **folha de texto definitivo**, identifique-se apenas no cabeçalho da primeira página, pois **não será avaliado** texto que tenha qualquer assinatura ou marca identificadora fora do local apropriado.

### **CEITEC é criado como empresa pública**

O presidente da República sancionou, em 31/7/2008, a lei que cria o Centro Nacional de Tecnologia Eletrônica Avançada (CEITEC S.A.), empresa pública vinculada ao Ministério da Ciência e Tecnologia (MCT).

O CEITEC, sediado em Porto Alegre (RS), também poderá contar com unidades em outros estados e até no exterior. O centro é uma empresa pública especializada no desenvolvimento e produção de circuitos integrados de aplicação específica.

Segundo o MCT, a unidade já recebeu cerca de R\$ 250 milhões em investimentos do governo federal e, até o fim de 2009, deve concluir a fabricação do primeiro circuito integrado desenvolvido no país.

Entre as principais metas do CEITEC está a inserção do Brasil no mercado global de semicondutores. No centro, serão desenvolvidas tecnologias nas áreas de semicondutores, microeletrônica e afins, e a empresa poderá negociar a produção dos circuitos integrados, a concessão de licenças ou de direitos de uso de marcas e patentes, ou, ainda, promover a transferência de conhecimentos gerados na unidade.

Internet: <[www.agencia.fapesp.br](http://www.agencia.fapesp.br)> (com adaptações).

Considerando que o texto acima possui caráter unicamente motivador, redija um texto dissertativo acerca do seguinte tema.

### **IMPORTÂNCIA DA MICROELETRÔNICA NO BRASIL**

Ao elaborar seu texto, aborde, necessariamente, os seguintes aspectos:

- ▶ investimento em microeletrônica e cenário socioeconômico brasileiro;
- ▶ importância da microeletrônica em setores estratégicos;
- ▶ microeletrônica no Brasil e no mundo, realidade brasileira e cenário mundial.

|    |  |
|----|--|
| 1  |  |
| 2  |  |
| 3  |  |
| 4  |  |
| 5  |  |
| 6  |  |
| 7  |  |
| 8  |  |
| 9  |  |
| 10 |  |
| 11 |  |
| 12 |  |
| 13 |  |
| 14 |  |
| 15 |  |
| 16 |  |
| 17 |  |
| 18 |  |
| 19 |  |
| 20 |  |
| 21 |  |
| 22 |  |
| 23 |  |
| 24 |  |
| 25 |  |
| 26 |  |
| 27 |  |
| 28 |  |
| 29 |  |
| 30 |  |